

W1264

MENU **SEARCH** **INDEX** **DETAIL** **JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-320014

(43)Date of publication of application : 16.11.2001

(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60
H01L 23/12
H01L 23/28

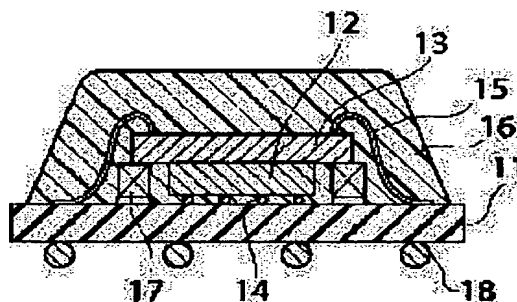
(21)Application number : 2000-138771 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.05.2000 (72)Inventor : EMOTO YOSHIKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD**(57)Abstract:**

PROBLEM TO BE SOLVED: To package a semiconductor chip without any damage even if the semiconductor chip at an upper side is large in a stacked package where the semiconductor chip is stacked.

SOLUTION: On an interposer substrate 11, a first chip 12 is packaged. On the back surface of the first chip 12, a second chip 13 that is larger than the first one 12 is mounted. The second chip 13 is wire-bonded to the interposer substrate 11 by a wire 15. At the outside of the first chip 12, a rest member 17 is arranged. The first and second chips 12 and 13 and rest member 17 are molded by a sealing resin 16. A soldering ball 18 is provided at a side opposite to the chip-packaging side on the interposer substrate 11.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

W1264

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-320014

(P2001-320014A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)	
H 0 1 L 25/065		H 0 1 L 21/60	3 0 1 A	4 M 1 0 9
25/07			3 1 1 Q	5 F 0 4 4
25/18		23/28	Z	
21/60	3 0 1	25/08	Z	
	3 1 1	23/12	L	
審査請求 未請求 請求項の数 4 O L (全 5 頁) 最終頁に続く				

(21) 出願番号 特願2000-138771 (P2000-138771)

(22) 出願日 平成12年5月11日 (2000.5.11)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 江本 義明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

Fターム (参考) 4M109 AA01 BA03 CA26 DB17 GA10

5F044 AA02 CC07 JJ03 KK08 QQ01

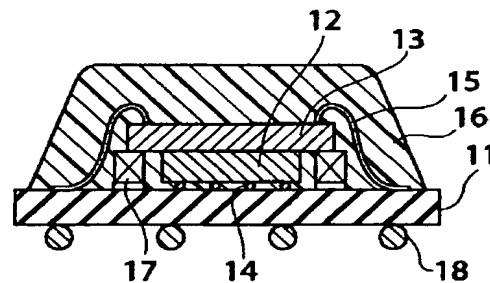
RR03 RR08 RR18 RR19

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体チップを積層してなるスタックドパッケージにおいて、上側の半導体チップの大きさが大きい場合であっても、半導体チップを破損させることなく半導体チップの実装を行うこと。

【解決手段】 インターポーザー基板11上には、第1チップ12が実装されている。第1チップ12の裏面上には、第1チップ12よりも寸法が大きい第2チップ13が搭載されている。第2チップ13は、ワイヤ15によりインターポーザー基板11に対してワイヤボンディングされている。第1チップ12の外側には、台部材17が配置されている。これらの第1チップ12、第2チップ13及び台部材17は、封止樹脂16によりモールドされている。インターポーザー基板11のチップ実装側と反対側には半田ボール18が設けられている。



【特許請求の範囲】

【請求項1】 基板上に搭載された第1半導体チップと、
前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第2半導体チップと、
前記第2半導体チップと前記基板との間に配置された台部材と、
前記基板下に配置された接続部材と、を具備し、
前記台部材により前記第2半導体チップを支持することを特徴とする半導体装置。

【請求項2】 基板上に搭載された第1半導体チップと、
前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第2半導体チップと、
前記第2半導体チップと前記基板との間に設けられた充填層と、
前記基板下に配置された接続部材と、を具備し、
前記充填層により前記第2半導体チップを支持することを特徴とする半導体装置。

【請求項3】 基板上に第1半導体チップを搭載する工程と、
前記基板上の前記第1半導体チップの外側に台部材を配置する工程と、
前記台部材により支持されるように、前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体チップを搭載する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項4】 基板上に第1半導体チップを搭載する工程と、
前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体チップを搭載する工程と、
前記前記第2半導体チップを支持するように充填層を設ける工程と、を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係わり、特に、複数の半導体チップを備えたスタックドパッケージに関する。

【0002】

【従来の技術】近年、システムLSIなどの半導体装置の小型化を促進するために、半導体チップを積層するスタックドパッケージが開発されている。このスタックドパッケージは、図3に示す構成を有する。

【0003】図3において、インターポザー基板31上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ32がフリップチップ実装されている。すなわち、第1チップ32の表面には、前記電極パッドに対応する位置に bumps 34 が設けられており、bumps 34 と電極パッドとが電気的に接続

されるようにして、インターポザー基板31上に第1チップ32がフリップチップ実装されている。

【0004】第1チップ32の裏面上には、第1チップ32よりも寸法が小さい第2半導体チップ33が接着剤（図示せず）を介して搭載されている。第2チップ33は、ワイヤ35によりインターポザー基板31に対してワイヤボンディングされている。これらの第1チップ32及び第2チップ33は、封止樹脂36によりモールドされている。

【0005】インターポザー基板31のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール37が設けられている。この半田ボール37により、スタックドパッケージとプリント配線板とが電気的に接続される。

【0006】

【発明が解決しようとする課題】図3の構成においては、第1チップ32の大きさよりも第2チップ33の大きさが小さい。しかしながら、システムLSIの構成によっては、第1チップ32の大きさよりも第2チップ33の大きさが大きいものもある。

【0007】この場合、第2チップとインターポザー基板とをワイヤボンディングするときに、第2チップの加熱が難しくなり、また第1チップの角部が当接する第2チップの部分に超音波負荷が集中してその部分に過度なストレスが発生する。その結果、第2チップが破損してしまうおそれがある。

【0008】本発明はかかる点に鑑みてなされたものであり、半導体チップを積層してなるスタックドパッケージにおいて、上側の半導体チップの大きさが大きい場合であっても、半導体チップを破損させることなくワイヤボンディングを行うことができる半導体装置及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、基板上に搭載された第1半導体チップと、前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第2半導体チップと、前記第2半導体チップと前記基板との間に配置された台部材と、前記基板下に配置された接続部材と、を具備し、前記台部材により前記第2半導体チップを支持することを特徴とする半導体装置を提供する。

【0010】この構成によれば、台部材で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、台部材を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

【0011】本発明は、基板上に搭載された第1半導体

チップと、前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第2半導体チップと、前記第2半導体チップと前記基板との間に設けられた充填層と、前記基板下に配置された接続部材と、を具備し、前記充填層により前記第2半導体チップを支持することを特徴とする半導体装置を提供する。

【0012】この構成によれば、充填層で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、充填層を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

【0013】本発明は、基板上に第1半導体チップを搭載する工程と、前記基板上の前記第1半導体チップの外側に台部材を配置する工程と、前記台部材により支持されるように、前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体チップを搭載する工程と、を具備することを特徴とする半導体装置の製造方法を提供する。

【0014】この方法によれば、台部材で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、台部材を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

【0015】本発明は、基板上に第1半導体チップを搭載する工程と、前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体チップを搭載する工程と、前記前記第2半導体チップを支持するように充填層を設ける工程と、を具備することを特徴とする半導体装置の製造方法を提供する。

【0016】この方法によれば、充填層で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、充填層を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。図1は、本発明の第1の実施の形態に係る半導体装置の構成を示す断

面図である。

【0018】図1において、インターポザー基板11上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ12がフリップチップ実装されている。すなわち、第1チップ12の表面には、前記電極パッドに対応する位置にバンパ14が設けられており、バンパ14と電極パッドとが電氣的に接続されるようにして、インターポザー基板11上に第1チップ12がフリップチップ実装されている。

【0019】第1チップ12の裏面上には、第1チップ12よりも寸法が大きい第2チップ13が接着剤（図示せず）を介して搭載されている。第2チップ13は、ワイヤ15によりインターポザー基板14に対してワイヤボンディングされている。

【0020】第1チップ12の外側には台部材17が配置されており、この台部材17はインターポザー基板11上に熱硬化性接着剤（図示せず）を介して搭載されている。すなわち、この台部材17は、第1チップ12より延出した第2チップ13の部分を支持する位置に配置されている。

【0021】台部材17は、第1及び第2チップ12、13と熱膨張率の差が小さい材料で構成されていることが望ましい。例えば、この台部材17の材料としては、42アロイなどの金属を挙げることができる。

【0022】この台部材17の形状は、第1チップ12を囲むような枠形状であっても良く、第2チップ13を支持できる位置に設けた柱状体でも良い。台部材17の配置位置は、確実に第2チップ13を支持できるように、第1チップ12の大きさとほぼ同じかそれより広い領域であることが望ましい。

【0023】これらの第1チップ12、第2チップ13及び台部材17は、封止樹脂16によりモールドされている。インターポザー基板11のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール18が設けられている。この半田ボール18により、スタックドパッケージとプリント配線板とが電氣的に接続される。

【0024】次に、上記構成の半導体装置の製造方法について説明する。

【0025】まず、インターポザー基板11上に第1チップ12を搭載する。この場合、第1チップ12の表面に設けたバンパ14をインターポザー基板11の電極パッドに当接することによりインターポザー基板11上に第1チップ12を搭載する。

【0026】次いで、第1チップ12の外側に台部材17を配置する。この台部材17は、インターポザー基板11に熱硬化性樹脂などの接着剤を用いて固定する。次いで、第1チップ12上に第1チップ12よりも大きい第2チップ13を搭載する。この場合、第1チップ12上に接着剤などにより第2チップ13を固定する。こ

のとき、第2チップ13の第1チップ12から外側に延出した部分は、台部材17で支持される。

【0027】次いで、第2チップ13とインターポザー基板11とをワイヤボンディングする。その後、第1チップ12及び第2チップ13を搭載したインターポザー基板11を封止樹脂16を用いてモールドする。その後、インターポザー基板11のチップ実装側と反対側に、プリント配線板に実装する際に使用する半田ボール18を設ける。

【0028】このように、台部材17で第2チップ13を支持すると、第2チップ13とインターポザー基板11をワイヤボンディングする場合に、台部材17を介して第2チップ13に十分に熱を伝達させることができ、第2チップ13への加熱を効率良く行うことができる。また、第1チップ12から外側に延出した第2チップ13部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2チップ13の破損を防止することができる。

【0029】図2は、本発明の第2の実施の形態に係る半導体装置の構成を示す断面図である。

【0030】図2において、インターポザー基板21上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ22がフリップチップ実装されている。すなわち、第1チップ22の表面には、前記電極パッドに対応する位置にバンパ24が設けられており、バンパ24と電極パッドとが電気的に接続されるようにして、インターポザー基板21上に第1チップ22がフリップチップ実装されている。

【0031】第1チップ22の裏面上には、第1チップ22よりも寸法が大きい第2半導体チップ23が搭載されている。第2チップ23は、ワイヤ25によりインターポザー基板21に対してワイヤボンディングされている。

【0032】第1チップ22と第2チップ13との間には、アンダーコート層として熱硬化性樹脂などで構成された充填層27が設けられている。すなわち、この充填層27は、第1チップ22より延出した第2チップ23の部分を支持する位置に配置されている。充填層27の配置位置は、確実に第2チップ23を支持できるように、第1チップ22の大きさとほぼ同じかそれより広い領域であることが望ましい。なお、充填層27を構成する材料としては、例えば、ダイボンディング材などの非導電性の材料であることが望ましい。

【0033】これらの第1チップ22及び第2チップ23は、封止樹脂26によりモールドされている。インターポザー基板21のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール28が設けられている。この半田ボール28により、スタックドパッケージとプリント配線板とが電気的に接続される。

【0034】次に、上記構成の半導体装置の製造方法について説明する。

【0035】まず、インターポザー基板21上に第1チップ22を搭載する。この場合、第1チップ22の表面に設けたバンパ24をインターポザー基板21の電極パッドに当接することによりインターポザー基板21上に第1チップ22を搭載する。

【0036】次いで、第1チップ22上に第1チップ22よりも大きい第2チップ23を搭載する。この場合、第1チップ22上に接着剤などにより第2チップ23を固定する。また、第2チップ23とインターポザー基板21との間、すなわち第1チップ22の外側及び第1チップ22と第2チップ23との間に充填層27を設ける。

【0037】この充填層27は、まず、比較的粘度の低い樹脂を用いて、第1チップ22とインターポザー基板21との間を充填する。粘度を低くすることにより、バンパ24があっても十分に樹脂が浸透する。次いで、比較的粘度を高く調整した樹脂を用いて、第1チップ22の側面外周と第2チップ23の下面に樹脂を充填する。このとき、第2チップ23の第1チップ22から外側に延出した部分は、充填層27で支持される。なお、粘度調整を行わずに一度に充填層を設けるようにしても良い。

【0038】次いで、第2チップ23とインターポザー基板21とをワイヤボンディングする。その後、第1チップ22及び第2チップ23を搭載したインターポザー基板21を封止樹脂26を用いてモールドする。その後、インターポザー基板21のチップ実装側と反対側に、プリント配線板に実装する際に使用する半田ボール28を設ける。

【0039】このように、充填層27で第2チップ23を支持すると、第2チップ23とインターポザー基板21をワイヤボンディングする場合に、充填層27を介して第2チップ23に十分に熱を伝達させることができ、第2チップ23への加熱を効率良く行うことができる。また、第1チップ22から外側に延出した第2チップ23部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2チップ23の破損を防止することができる。

【0040】上記第1及び第2の実施の形態において、半導体素子である第1チップ12、22、第2チップ13、23としては、SRAMなどを挙げることができる。

【0041】本発明は上記実施の形態に限定されず種々変更して実施することが可能である。例えば、各部材の材質、大きさなどについては上記実施の形態に限定されず種々変更することができる。

【0042】

【発明の効果】以上説明したように本発明によれば、半

導体チップを積層してなるスタックドパッケージにおいて、上側の半導体チップの大きさが大きい場合であっても、台部材や充填層で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、台部材や充填層を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の構成を示す断面図である。

【図2】本発明の第2の実施の形態に係る半導体装置の構成を示す断面図である。

【図3】従来の半導体装置の構成を示す断面図である。

【符号の説明】

11, 21, 31…インターポザー基板

12, 22, 32…第1チップ

13, 23, 33…第2チップ

14, 24, 34…バンパ

15, 25, 35…ワイヤ

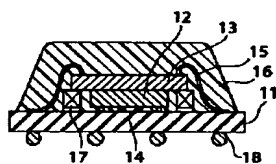
16, 26, 36…封止樹脂

17…台部材

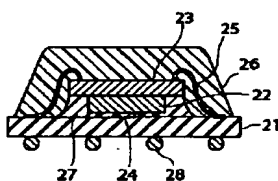
18, 28, 37…半田ボール

27…充填層

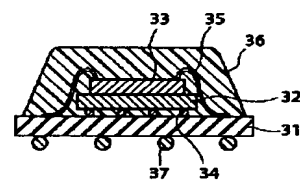
【図1】



【図2】



【図3】



フロントページの続き

(51)Int. Cl.⁷

H01L 23/12

23/28

識別記号

F I

ターマコード(参考)